

## DATA PROCESSOR AND DATA ALIGNER

Patent Number: JP2000003304  
Publication date: 2000-01-07  
Inventor(s): SUGIMOTO HIDEKI  
Applicant(s): NEC CORP  
Requested Patent: JP2000003304  
Application Number: JP19980165304 19980612  
Priority Number(s):  
IPC Classification: G06F12/04; G06F5/00; G06F13/36  
EC Classification:  
Equivalents:

---

### Abstract

---

**PROBLEM TO BE SOLVED:** To provide a data processor which can perform the same operation regardless of size/align/Endian of data.

**SOLUTION:** In the data processor which has plural bit sizes and processes data, the device is characterized in that it is equipped with an execution unit 101, an access address bus 102 for transferring an access address, an access size signal line 103 for indicating the size of access, a store data bus for transferring store data, a store aligner 105 for converting the store data on the basis of the access address and the size, an internal data bus 106 for transferring the data which the store aligner 105 outputs, an Endian control mechanism 107 for holding the information of Endian in the access address bus, a bus controller 109 for controlling an interface with an external device, an incrementer 110 for performing the increment of the address, an external address bus 111, an external data bus 112, a bite enable signal line 113 and an external device 114.

---

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-3304

(P2000-3304A)

(43) 公開日 平成12年1月7日(2000.1.7)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード <sup>*</sup> (参考)
G 0 6 F 12/04	5 1 0	G 0 6 F 12/04	5 1 0 G 5 B 0 6 0
5/00		5/00	N 5 B 0 6 1
13/36	3 2 0	13/36	3 2 0 A

審査請求 有 請求項の数 7 O L (全 7 頁)

(21) 出願番号 特願平10-165304

(22) 出願日 平成10年6月12日(1998.6.12)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 杉本 英樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100065385

弁理士 山下 稔平

Fターム(参考) 5B060 AB18 DA00 DA04

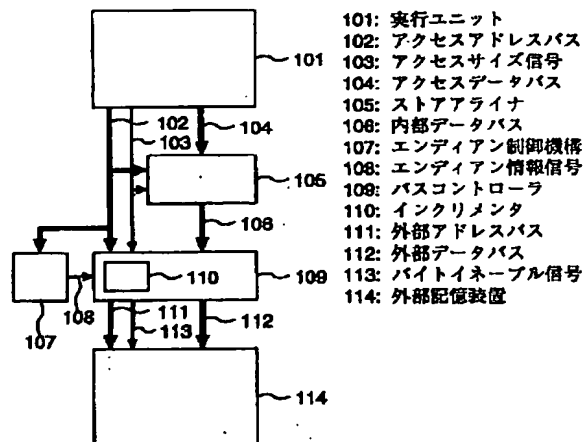
5B061 FF04 RR05

(54) 【発明の名称】 データ処理装置とデータライン装置

(57) 【要約】

【課題】 データのサイズ/アライン/エンディアンに関係なく、同一の動作を行うことが可能なデータ処理装置を提供することを課題とする。

【解決手段】 複数のビットサイズを有してデータを処理するデータ処理装置において、実行ユニットと、アクセスアドレスを転送するアクセスアドレスバスと、アクセスのサイズを示すアクセスサイズ信号線と、ストアデータを転送するストアデータバスと、アクセスアドレスと前記サイズに基づいて前記ストアデータを変換するストアアライナと、ストアアライナが出力するデータを転送する内部データバスと、アクセスアドレスバス内のエンディアンの情報を保持するエンディアン制御機構と、外部装置とのインタフェースを司るバスコントローラと、前記アドレスのインクリメントを行うインクリメンタと、外部アドレスバスと、外部データバスと、バイトイネーブル信号線と、外部装置とを備えていることを特徴とする。



## 【特許請求の範囲】

【請求項1】 複数のビットサイズを有してデータ処理するデータ処理装置において、前記データの演算処理やアドレス計算などを行う実行ユニットと、前記実行ユニットからのアクセスアドレスを転送するアクセスアドレスバスと、前記実行ユニットからのアクセスのサイズを示すアクセスサイズ信号線と、前記実行ユニットからのストアデータを転送するストアデータバスと、前記アクセスアドレスと前記サイズに基づいて前記ストアデータを変換するストアアライナと、前記ストアアライナが出力するデータを転送する内部データバスと、前記アクセスアドレスバス内のエンディアン情報を保持するエンディアン制御機構と、前記エンディアン制御機構によって生成されるエンディアン情報を示すエンディアン制御信号線と、前記アクセスアドレスバスと前記ストアデータバスと前記アクセスサイズ信号線と外部装置とのインタフェースを司るバスコントローラと、前記バスコントローラ内の前記アドレスのインクリメントを行うインクリメントと、前記外部装置にアドレスを転送する外部アドレスバスと、前記外部装置との間でデータを転送する外部データバスと、前記バスコントローラから生成されたデータ転送時の有効バイトを示すバイトイネーブル信号線と、外部装置と、を備えていることを特徴とするデータ処理装置。

【請求項2】 請求項1に記載のデータ処理装置において、前記エンディアン制御機構は前記アクセスアドレスバスからのアクセスアドレスに基づいて、エンディアンを決定して前記エンディアン制御信号線に出力し、前記バスコントローラは前記エンディアン制御信号線出力と前記アクセスアドレスバス及びアクセスサイズ信号線からインクリメントをインクリメントすることを特徴とするデータ処理装置。

【請求項3】 データの演算処理やアドレス計算などを行う実行ユニットと、前記実行ユニットからのアクセスアドレスを転送するアクセスアドレスバスと、前記実行ユニットからのアクセスのサイズを示すアクセスサイズ信号線と、前記実行ユニットからのストアデータを転送するストアデータバスと、前記アクセスアドレスと前記サイズに基づいて前記ストアデータを変換するストアアライナと、前記ストアアライナが出力するデータを転送する内部データバスと、前記アクセスアドレスバス内のエンディアンの情報を保持するエンディアン制御機構と、前記エンディアン制御機構によって生成されるエンディアン情報を示すエンディアン制御信号線と、前記アクセスアドレスバスと前記ストアデータバスと前記アクセスサイズ信号線と外部装置とのインタフェースを司るバスコントローラと、前記バスコントローラ内の前記アドレスのインクリメントを行うインクリメントと、前記外部装置にアドレスを転送する外部アドレスバスと、前記外部装置との間でデータを転送する外部データバス

と、前記バスコントローラから生成されたデータ転送時の有効バイトを示すバイトイネーブル信号線と、外部装置と、を備えたデータアライン装置において、

前記エンディアン制御機構は前記アクセスアドレスバスからのアクセスアドレスに基づいて、エンディアンを決定して前記エンディアン制御信号線に出力し、前記バスコントローラは前記エンディアン制御信号線出力と前記アクセスアドレスバス及びアクセスサイズ信号線からインクリメントをインクリメントすることを特徴とするデータアライン装置。

【請求項4】 複数のビットサイズを有してデータを処理するデータ処理装置において、

データの演算処理やアドレス計算などを行う実行ユニットと、前記実行ユニットで生成されたアクセスアドレスを転送するアクセスアドレスバスと、前記実行ユニットで生成されたアクセスのサイズを示すアクセスサイズ信号線と、前記実行ユニットで生成されたストアデータを転送するストアデータバスと、前記アクセスアドレスと前記サイズをもとに前記ストアデータを変換するストアアライナと、前記ストアアライナの出力するデータを転送する内部データバスと、エンディアンの情報を保持するエンディアン制御機構と、前記エンディアン情報を伝送するエンディアン制御信号線と、前記アクセスアドレスバスと前記ストアデータバスと前記アクセスサイズ信号線と外部装置とのインタフェースを司るバスコントローラと、前記外部装置にアドレスを転送する外部アドレスバスと、前記外部装置と前記バスコントローラの間でデータを転送する外部データバスと、前記バスコントローラから生成されたデータ転送時の有効バイトを示すバイトイネーブル信号線と、前記外部装置へのアクセス回数をカウントアップするアクセス回数信号線と、前記外部装置と、前記外部装置内に備えられたアドレスインクリメントとを備えていることを特徴とするデータ処理装置。

【請求項5】 請求項4に記載のデータ処理装置において、前記実行ユニットはデータ及び該データを書き込むアドレスおよびそのデータのサイズを発行して前記アクセスアドレスバスおよび前記アクセスサイズ信号線に出力し、同時に前記ストアデータバスに前記ストアデータを出力し、前記ストアアライナは前記アクセスアドレスと前記サイズに基づいて前記ストアデータバスのデータをアライン変換し、前記内部データバスに出力することを特徴とするデータ処理装置。

【請求項6】 請求項4に記載のデータ処理装置において、前記エンディアン制御機構は前記アクセスアドレスバスからのアクセスアドレスに基づいて、エンディアンを決定して前記エンディアン制御信号線に出力し、前記バスコントローラは前記エンディアン制御信号線出力と前記アクセスアドレスバス及びアクセスサイズ信号線から前記外部アドレスバスとバイトイネーブル信号線とア

クセス回数信号線に変換出力することを特徴とするデータ処理装置。

【請求項7】 請求項1又は4に記載のデータ処理装置において、前記外部装置は外部記憶装置又は同期型RAMであることを特徴とするデータ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、データ処理装置及びデータライン装置に関し、データのサイズ/アライン/エンディアンに関係なく、同一の動作を行うことが可能なストアアライナおよび実行ユニットとバスコントローラ間のインタフェースを有するデータ処理装置及びデータライン装置に関する。

【0002】

【従来の技術】従来、マイクロプロセッサの外部メモリのアクセスに際し、データ・アライン (Align: 整列) されていないデータバスのビット幅に足りないデータを転送する際に、外部メモリに割り当てられたアドレスとデータのビット幅に従い、マイクロプロセッサのデータ端子を制御するマイクロプロセッサのデータ・アライン装置が知られている。

【0003】マイクロプロセッサを用いた情報処理システムでは、マイクロプロセッサと命令コードやオペランド・データを格納する外部メモリの間でデータ転送するデータバスのビット幅が、処理性能に対して影響を与える。現在では高性能マイクロプロセッサの大半は、32ビット幅のデータバスを用いている。一方、更に高性能マイクロプロセッサは64ビット幅のデータバスもあり、さらに16ビット幅や8ビット幅のデータバスも存在している。

【0004】ここで、図3を用いて、従来例の構成を示すブロック図について説明する。図において、マイクロプロセッサでもある実行ユニット301には、演算処理を行う演算ユニット302と、データバスのビット幅の不整合のために制御するミスアライン制御機構303と、逐次的にカウントアップするインクリメンタ304から構成される。また、実行ユニット301の制御の下で外部記憶装置のデータバスラインとビット幅の整合を行うストアアライナ305と、実行ユニット301からのデータバスと、アドレスバス、及びストアアライナからのバスラインを制御するバスコントローラ306と、実行ユニット301からのデータの読み出し・書き込み・消去等を行う外部記憶装置308と、バスコントローラ306と外部記憶装置308間のデータバス及びアドレスバスを総括する外部バス307とから構成されている。

【0005】ここで、図3の太線と細線及び各線方向は、実行ユニット301による非アラインアクセス時には、実行ユニット301内で複数の処理に分割されて、アクセスされる場合の過程を示している。また、表4は

この時のアクセスの分割におけるミスアライン制御を示している。表1は演算ユニット302の出力アドレスがAの場合の出力アドレスと変換後のアクセスサイズを示している。

【0006】

【表1】

302の出力アドレスがAの場合の出力アドレスと変換後のアクセスサイズ (bit)

アドレス サイズ	偶数		奇数	
8bit	A	8	A	8
16bit	A	16	A	8
			A+1	8

表1 ミスアライン制御

表1において、サイズ8ビットの場合は、アドレスが偶数及び奇数とで同一であり、アドレスAでビットサイズは8ビットである。一方、サイズが16ビットの場合、偶数アドレスではアドレスAで16ビットを扱え、奇数アドレスではアドレスAとアドレスA+1とで各8ビットを扱っている。

【0007】図3において、実行ユニット301内でストア処理が実行されると、演算ユニット302によってアドレスが計算される。ミスアライン制御機構303はこのアドレスの出力を監視し、ミスアラインが発生すると必要に応じてインクリメンタ304を使用し、複数のアラインアクセスに、表1にしたがって変換して生成する。ストアアライナ305はこの変換されたアクセス情報に応じて、表2のようにデータを変換する。

【0008】

【表2】

入力値が3210の場合の出力値

サイズ	出力
8bit	1010
16bit	3210

表2. ストアアライナ動作

即ち、実行ユニット301から"3210"が入力されると、サイズ16ビットの場合は無変換で"3210"を出力し、サイズ8ビットの場合は"1010"に変換される。バスコントローラ306はこの出力を受けて、外部バス307にサイクルを発行し、外部記憶装置308にデータを書き込む。

【0009】

【発明が解決しようとする課題】しかしながら、サイズのミスマッチなどの非アラインアクセスの場合、複数のストア操作を実行ユニットで行う必要があり、実行時間の増加や割り込み応答の遅延が生じるという問題点がある。また、データの種類によっては、8ビットサイズや

16ビットサイズ、浮動小数点の場合には数十ビットを要する等のデータのエンディアンによって、データの順序またはアドレスの出力順を変更する必要がある、実行ユニットの構成が複雑となる。また、このデータ及びアドレスの変更は、アドレス計算と同時に行う必要があるため、アドレス毎に動的にデータ形式を切り替えることが困難であるという問題点がある。

【0010】これらの問題点は、データのアラインをデータサイズのみによって制御し、非アライン時のアドレス及びデータ処理を、実行ユニット内でアドレス生成と同時に検出し、実行ユニット自体で複数の処理に分割して実行しているためである。

【0011】そこで、本発明は、データのサイズ／アライン／エンディアンに関係なく、同一の動作を行うことが可能なストアアライナと、および実行ユニットと、バスコントローラ間のインタフェースとを具備するデータ処理装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、複数のビットサイズを有してデータを処理するデータ処理装置において、データの演算処理やアドレス計算などを行う実行ユニットと、前記実行ユニットからのアクセスアドレスを転送するアクセスアドレスバスと、前記実行ユニットからのアクセスのサイズを示すアクセスサイズ信号線と、前記実行ユニットからのストアデータを転送するストアデータバスと、前記アクセスアドレスと前記サイズに基づいて前記ストアデータを変換するストアアライナと、前記ストアアライナが出力するデータを転送する内部データバスと、前記アクセスアドレスバス内のエンディアンの情報を保持するエンディアン制御機構と、前記エンディアン制御機構によって生成されるエンディアン情報を示すエンディアン制御信号線と、前記アクセスアドレスバスと前記ストアデータバスと前記アクセスサイズ信号線と外部装置とのインタフェースを司るバスコントローラと、前記バスコントローラ内の前記アドレスのインクリメントを行うインクリメンタと、前記外部装置にアドレスを転送する外部アドレスバスと、前記外部装置との間でデータを転送する外部データバスと、前記バスコントローラから生成されたデータ転送時の有効バイトを示すバイトイネーブル信号線と、外部装置とを備えていることを特徴とする。

【0013】又、本発明は、データの演算処理やアドレス計算などを行う実行ユニットと、前記実行ユニットからのアクセスアドレスを転送するアクセスアドレスバスと、前記実行ユニットからのアクセスのサイズを示すアクセスサイズ信号線と、前記実行ユニットからのストアデータを転送するストアデータバスと、前記アクセスアドレスと前記サイズに基づいて前記ストアデータを変換するストアアライナと、前記ストアアライナが出力するデータを転送する内部データバスと、前記アクセスアド

レスバス内のエンディアンの情報を保持するエンディアン制御機構と、前記エンディアン制御機構によって生成されるエンディアン情報を示すエンディアン制御信号線と、前記アクセスアドレスバスと前記ストアデータバスと前記アクセスサイズ信号線と外部装置とのインタフェースを司るバスコントローラと、前記バスコントローラ内の前記アドレスのインクリメントを行うインクリメンタと、前記外部装置にアドレスを転送する外部アドレスバスと、前記外部装置との間でデータを転送する外部データバスと、前記バスコントローラから生成されたデータ転送時の有効バイトを示すバイトイネーブル信号線と、外部装置とを備えたデータアライン装置において、前記エンディアン制御機構は前記アクセスアドレスバスからのアクセスアドレスに基づいて、エンディアンを決定して前記エンディアン制御信号線に出力し、前記バスコントローラは前記エンディアン制御信号線出力と前記アクセスアドレスバス及びアクセスサイズ信号線からインクリメンタをインクリメントすることを特徴とする。

【0014】さらに、本発明は、複数のビットサイズを有してデータを処理するデータ処理装置は、データの演算処理やアドレス計算などを行う実行ユニットと、前記実行ユニットで生成されたアクセスアドレスを転送するアクセスアドレスバスと、前記実行ユニットで生成されたアクセスのサイズを示すアクセスサイズ信号線と、前記実行ユニットで生成されたストアデータを転送するストアデータバスと、前記アクセスアドレスと前記サイズをもとに前記ストアデータを変換するストアアライナと、前記ストアアライナの出力するデータを転送する内部データバスと、エンディアンの情報を保持するエンディアン制御機構と、前記エンディアン情報を伝送するエンディアン制御信号線と、前記アクセスアドレスバスと前記ストアデータバスと前記アクセスサイズ信号線と外部装置とのインタフェースを司るバスコントローラと、前記外部装置にアドレスを転送する外部アドレスバスと、前記外部装置と前記バスコントローラの間でデータを転送する外部データバスと、前記バスコントローラから生成されたデータ転送時の有効バイトを示すバイトイネーブル信号線と、前記外部装置へのアクセス回数をカウントアップするアクセス回数信号線と、前記外部装置と、前記外部装置内に備えられたアドレスインクリメントとを備えていることを特徴とする。

【0015】

【発明の実施の形態】本発明による実施形態について、図面を参照しつつ詳細に説明する。

【0016】〔第1の実施形態〕図1は本発明の実施形態の構成を示すブロック図であり、実行ユニット101内から出力されるアクセスアドレス／サイズによって、ストアデータがストアアライナ105で変換され、バスコントローラ109を介して外部記憶装置114に書き込まれる過程を示している。また、表3はこの時のスト

アライナの変換方法を示し、表4はバスコントローラ109の制御を示している。

【0017】

【表3】

104の入力が3210の場合の106の出力値

アドレス サイズ	偶数	奇数
8bit	1010	1010
16bit	3210	1032

表3. アライナ動作

【0018】

【表4】

102の入力がA、106の入力が3210の場合の111および113の出力値

アドレス サイズ	偶数	奇数
8bit	A 01	A 10
16bit	A 11	A 10 A+1 01

表4. バスコントローラ動作

なお、表3および表4では、16bitバスの場合の例を示しているが、32bitや64bitバス等の場合においても同様に適用可能である。

【0019】〔本実施形態の構成〕本実施形態のデータ処理装置は、データの演算処理やアドレス計算などを行う実行ユニット101と、アクセスアドレスを転送するアクセスアドレスバス102と、アクセスのサイズを示すアクセスサイズ信号103と、ストアデータを転送するストアデータバス104と、アクセスアドレスとサイズをもとにストアデータを変換するストアアライナ105と、ストアアライナ105の出力するデータを転送する内部データバス106と、エンディアン情報を保持するエンディアン制御機構107と、エンディアン情報を示すエンディアン制御信号108と、外部とのインタフェースを司るバスコントローラ109と、アドレスのインクリメントを行うインクリメンタ110と、外部装置にアドレスを転送する外部アドレスバス111と、外部装置との間でデータを転送する外部データバス112と、データ転送時の有効バイトを示すバイトイネーブル信号113と、外部記憶装置114とを備えている。

【0020】ここで、実行ユニット101には、アドレス生成及びデータの生成等のため演算処理を行う演算ユニットと、アクセスアドレスバス102及びアクセスデータバス104、データサイズを指図するアクセスサイズ信号を出力及び入力するインターフェースが備えられている。

【0021】〔本実施形態の動作〕図1において、実行

ユニット101はデータを書き込むアドレスおよびそのデータのサイズをアクセスアドレスバス102およびアクセスサイズ信号103に出力し、同時にストアデータバス104にストアデータを出力する。ストアアライナ105はこのアドレス/サイズを下に、表3にしたがってデータを変換し、内部データバス106に出力する。

【0022】エンディアン制御機構107はアクセスアドレスバス102からのアクセスアドレスをもとに、エンディアンを決定し、エンディアン制御信号108を出力する。バスコントローラ109は前記エンディアン制御信号108と前記アクセスアドレス/サイズからインクリメンタ110を必要に応じて使用して、表4にしたがってアドレスを計算し、外部アドレスバス111に出力する。同時に前記ストアデータを外部データバス112に出力する。また前記エンディアン制御信号108と前記アクセスアドレス/サイズから、表4にしたがって有効バイト位置を検出し、バイトイネーブル信号113を出力する。これらの信号を受けて外部記憶装置114にデータが書き込まれる。

【0023】〔第2の実施形態〕図2は本発明の第2の実施形態の構成を示すブロック図である。本実施形態では第1の実施形態に対し、バスコントローラ209からアクセス回数信号213を、表5に従って出力することにより、同期RAM214が内蔵するアドレスインクリメンタ215を使用し、図1で必要であったバスコントローラ109内のインクリメンタ110を不要にしている。

【0024】

【表5】

213の出力 アドレス サイズ	偶数	奇数
8bit	1	1
16bit	1	2

表5. アクセス回数信号動作

本実施形態のデータ処理装置は、データの演算処理やアドレス計算などを行う実行ユニット201と、アクセスアドレスを転送するアクセスアドレスバス202と、アクセスのサイズを示すアクセスサイズ信号203と、ストアデータを転送するストアデータバス204と、アクセスアドレスとサイズをもとにストアデータを変換するストアアライナ205と、ストアアライナ205の出力するデータを転送する内部データバス206と、エンディアン情報を保持するエンディアン制御機構207と、エンディアン情報を示すエンディアン制御信号208と、外部とのインタフェースを司るバスコントローラ209と、アドレスのインクリメントを行うインクリメンタ216と、外部装置にアドレスを転送する外部アドレスバス210と、外部装置との間でデータを転送する

外部データバス211と、データ転送時の有効バイトを示すバイトイネーブル信号212と、アクセス回数をカウントアップするアクセス回数信号213と、外部記憶装置214と、外部記憶装置214内に備えられたアドレスインクリメント215とを備えている。

【0025】図2において、実行ユニット201はデータを書き込むアドレスおよびそのデータのサイズを発行するため、アクセスアドレスバス202およびアクセスサイズ信号203に出力し、同時にストアデータバス204にストアデータを出力する。ストアアライナ205はこのアドレス/サイズを下に、表3にしたがってデータを変換し、内部データバス206に出力する。

【0026】エンディアン制御機構207はアクセスアドレスバス202からのアクセスアドレスをもとに、エンディアンを決定し、エンディアン制御信号208を出力する。バスコントローラ209は前記エンディアン制御信号208と前記アクセスアドレス/サイズからアクセス回数信号213を必要に応じて発生し、表4にしたがってアドレスを計算し、外部アドレスバス211に出力する。

【0027】同時に前記ストアデータを外部データバス211に出力する。また前記エンディアン制御信号208と前記アクセスアドレス/サイズから、表4にしたがって有効バイト位置を検出し、アクセス回数信号213を出力する。アクセス回数信号213は同期RAM214内のアドレスインクリメント215に入力されてアクセスに応じてカウントアップされ、これらの信号を受けて外部記憶装置214にデータが書き込まれる。

【0028】

【発明の効果】データ処理装置の実行ユニットなどデータ形式に依存しない構成にすることが可能となり、バスコントローラの制御のみでデータ形式を変更することが可能となる。また、実行ユニットは全てのストア操作を

1回のバスコントローラへのアクセスで行うことが可能となり、処理の分割による実行時間の増加や割り込み応答の遅延をなくすることが可能となる。

【図面の簡単な説明】

【図1】本発明の実施形態によるデータ処理装置のブロック構成図である。

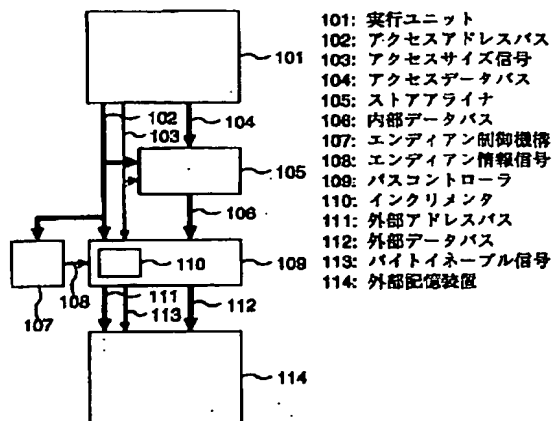
【図2】本発明の実施形態によるデータ処理装置のブロック構成図である。

【図3】従来例のデータ処理装置のブロック構成図である。

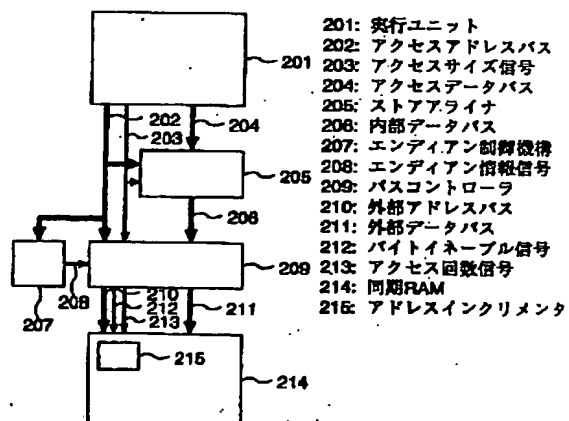
【符号の説明】

- 101, 201, 301 実行ユニット
- 102, 202 アクセスアドレスバス
- 103, 203 アクセスサイズ信号
- 104, 204 アクセスデータバス
- 105, 205, 305 ストアアライナ
- 106, 206 内部データバス
- 107, 207 エンディアン制御機構
- 108, 208 エンディアン情報信号
- 109, 209, 306 バスコントローラ
- 110 インクリメント
- 111, 210 外部アドレスバス
- 112, 211 外部データバス
- 113, 212 バイトイネーブル信号
- 114, 308 外部記憶装置
- 213 アクセス回数信号
- 214 同期RAM
- 215 アドレスインクリメント
- 302 演算ユニット
- 303 ミスアライン制御機構
- 304 インクリメント
- 307 外部バス

【図1】



【図2】



【図3】

